

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003600

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

G11C 29/00  
G01R 31/28  
G06F 15/78  
G11C 11/407  
G11C 11/401  
H01L 27/10

(21)Application number : 11-060131

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 31.05.1994

(72)Inventor : AKAMATSU HIRONORI  
KOTANI HISAKAZU

(30)Priority

Priority number : 05145938

Priority date : 17.06.1993

Priority country : JP

05258070

15.10.1993

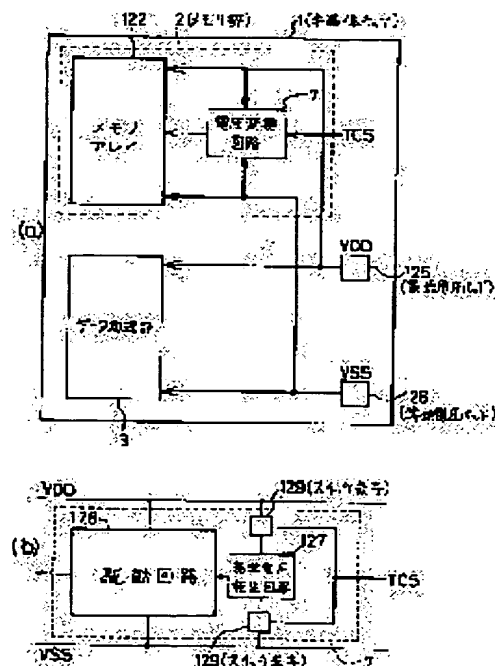
JP

## (54) SEMICONDUCTOR MEMORY AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To surely detect a defect of power source current at the standby time of a data processing section in a semiconductor memory having a memory array and the data processing section.

SOLUTION: This semiconductor memory is provided with the memory array 122 provided in the same semiconductor chip 1, a power source voltage pad 125 for supplying power source voltage VDD, and a ground voltage pad 126 for supplying ground voltage VSS. A switch element 129 being a through current cutting-off means cuts off a through current flowing into the ground voltage pad 126 through a reference voltage generating circuit 127 from a power source voltage pad 125 when a power source current at the standby time is tested of the data processing section 3. Thereby, defect of a power source current at the time of the data processing section 3 never be hidden by the defect of power source current at the standby time of the memory array 122.



## LEGAL STATUS

[Date of request for examination]

08.03.1999

[Date of sending the examiner's decision of rejection]

03.06.2003

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## (12) 公開特許 (A)

(11) 特許出願公開番号

(54) 【発明の名称】 半導体記憶装置および半導体集積回路

特開2000-3600

(P2000-3600A)

(全19頁) (6)

審査請求 有 請求項の数 8

(43) 公開日 平成12年 1月 7日 (2000. 1. 7)

(71) 出願人 松下電器産業株式会社  
大阪府門真市大字門真 1 0 0 6 番地  
(72) 発明者 赤松 寛範, 小谷 久和  
(21) 出願番号 特願平11-60131  
(22) 出願日 平成 6年 5月31日 (1994. 5. 31)  
(31) 優先権主張番号 特願平5-145938  
(32) 優先日 平成 5年 6月17日 (1993. 6. 17)  
(33) 優先権主張国 日本 (JP)  
(74) 代理人 弁理士 前田 弘 (外 1 名)

(51) Int. Cl.<sup>7</sup> 識別記号  
G11C 29/00 675  
G01R 31/28  
G06F 15/78 510  
G11C 11/407  
11/401 ※  
FI  
G11C 29/00 675 L  
G06F 15/78 510 P  
H01L 27/10 471  
G01R 31/28 B  
G11C 11/34 354 F ※

※最終頁に続く

### (57) 【要約】

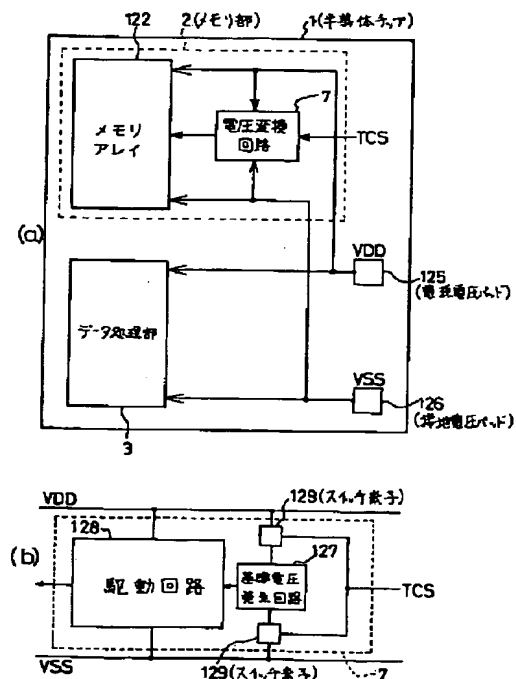
【課題】 メモリアレイおよびデータ処理部を有する半導体記憶装置としてデータ処理部の待機時電源電流不良を確実に検出可能にする。

【解決手段】 同一の半導体チップ1に設けられたメモリアレイ122とデータ処理部3に対して、電源電圧VDDを供給するための電源電圧パッド125および接地電圧VSSを供給するための接地電圧パッド126が設けられている。貫通電流遮断手段としてのスイッチ素子129は、電源電圧パッド125から基準電圧発生回路127を介して接地電圧パッド126に流れる貫通電流を、データ処理部3の待機時電源電流の検査の際に、遮断する。これにより、データ処理部3の待機時電源電流不良がメモリアレイ122の待機時電源電流不良に隠れてしまうことがなくなる。

【産業上の利用分野】 本発明は、半導体記憶装置および半導体集積回路に関する技術に属するものである。

### 【特許請求の範囲】

【請求項1】 同一の半導体チップに設けられたメモリアレイおよびデータ処理部と、  
前記半導体チップに設けられ、前記メモリアレイ及びデータ処理部に電源電圧を供給するための電源電圧端子と、  
前記半導体チップに設けられ、前記メモリアレイ及びデ



ータ処理部に接地電圧を供給するための接地電圧端子と、  
前記半導体チップに設けられ、前記電源電圧端子からの

電源電圧及び前記接地電圧端子からの接地電圧を受け取り、前記メモリアレイに供給されるメモリアレイ供給電圧を発生するメモリアレイ供給電圧発生回路と、前記半導体チップに設けられ、前記電源電圧端子からメモリアレイ供給電圧発生回路を通じて接地電圧端子へ流れる貫通電流を、前記データ処理部の電源電流の検査の際に、遮断する貫通電流遮断手段とを備えた半導体記憶装置。

【請求項2】 同一の半導体チップに設けられたメモリアレイおよびデータ処理部と、前記半導体チップに設けられ、前記メモリアレイに電源電圧を供給するための第1の電源電圧端子と、前記半導体チップに、前記第1の電源電圧端子と別個に設けられ、前記データ処理部に電源電圧を供給するための第2の電源電圧端子と、前記半導体チップに設けられ、前記第1の電源電圧端子から電源電圧を受け取り、前記メモリアレイに供給されるメモリアレイ供給電圧を発生するメモリアレイ供給電圧発生回路とを備え、前記第1の電源電圧端子からメモリアレイ供給電圧発生回路内に流れる貫通電流は、前記第2の電源電圧端子からデータ処理部内に流れる電流に、影響を与えないことを特徴とする半導体記憶装置。

【請求項3】 各々電源線と接地線とを備えた主電源配線系及び副電源配線系と、前記主電源配線系に直接接続された第1の回路ブロックと、前記副電源配線系に直接接続された第2の回路ブロックと、前記第1の回路ブロックから第2の回路ブロックへのノイズ伝播を抑制するように、前記主電源配線系と副電源配線系との間に介在した電源系結合回路とを備えた半導体集積回路。

【請求項4】 請求項3記載の半導体集積回路において、前記第2の回路ブロックは、データ線対を差動で駆動するように、第1の振幅を有する第1の差動信号を該第1の振幅より小さい第2の振幅を有する第2の差動信号に変換するデータ線駆動回路を備え、前記第1及び第2の差動信号は各々ハイレベルとロウレベルとを有する論理信号であって、各論理信号のロウレベルは前記副電源配線系の接地線の電圧レベルと等しい

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るDRAMを示すレイアウト図である。

【図2】 DRAMの各構成要素の配置の他の例を示すレイアウト図である。

【図3】 (a) は第1の実施形態のDRAMにおける、メモリアレイ及びデータ処理部に所定の電圧を供給する

ことを特徴とする半導体集積回路。

【請求項5】 請求項3記載の半導体集積回路において、

前記電源系結合回路は、互いに並列接続され且つ前記主電源配線系の接地線と前記副電源配線系の接地線との間に介在した第1及び第2のNMOSトランジスタを備え、

前記第1のNMOSトランジスタのゲートは制御クロックの供給を受け、

10 前記第2のNMOSトランジスタのゲートは前記副電源配線系の接地線に接続されたことを特徴とする半導体集積回路。

【請求項6】 請求項5記載の半導体集積回路において、

前記第2のNMOSトランジスタのしきい値電圧は、0V以下であることを特徴とする半導体集積回路。

【請求項7】 請求項3記載の半導体集積回路において、

降圧電圧を前記第2の回路ブロックへ供給するように、外部から与えられた電源電圧に基づいて前記降圧電圧を生成する電源降圧回路をさらに備え、

前記電源降圧回路は、前記降圧電圧の基準となる電位を発生する基準電位発生回路を有し、前記基準電位発生回路の接地線は、前記副電源配線系の接地線に直接接続されたことを特徴とする半導体集積回路。

【請求項8】 請求項7記載の半導体集積回路において、

前記電源降圧回路は、前記基準電位発生回路により発生された基準電位と前記降圧電圧とを比較する比較回路をさらに有し、

前記比較回路は、

並列カレントミラー型の電流源を構成するように各々電源線に接続された一対のPMOSトランジスタと、

前記基準電位と降圧電圧とを入力とした差動増幅器を構成するように、各々前記一対のPMOSトランジスタの接地側に接続された一対のNMOSトランジスタと、前記一対のNMOSトランジスタの各々のソースと接地線との間に介在したスイッチ素子とを備え、

40 前記一対のNMOSトランジスタは、駆動能力を高めるように各々のしきい値電圧が低く設定されていることを特徴とする半導体集積回路。

ための回路の一例を示すブロック図であり、(b)は(a)の回路中の電圧変換回路の構成を示すブロック図である。

【図4】 図3(b)の電圧変換回路中の基準電圧発生回路の構成を示す回路図である。

【図5】 (a) は第1の実施形態のDRAMにおける、メモリアレイ及びデータ処理部に所定の電圧を供給する

ための回路の他の例を示すブロック図であり、(b)は (a) の回路中の電圧変換回路の構成を示すブロック図である。

【図6】第1の実施形態のDRAM中のデータ伝送回路を構成を示す回路図である。

【図7】(a)～(g)は第1の実施形態に係るデータ伝送回路の動作を示すタイミング図である。

【図8】第1の実施形態のDRAM中の接地線の一例を示す配線図である。

【図9】第1の実施形態のDRAM中の接地線の他の例を示す配線図である。

【図10】図9中の電源降圧回路の構成を示す回路図である。

【図11】第1の参考例に係るDRAM中のデータ伝送回路の一部を示す回路図である。

【図12】(a)～(h)は第1の参考例に係るデータ伝送回路の動作を示すタイミング図である。

【図13】(a)は従来のDRAM中のデータ伝送回路における、シミュレーションの対象となる回路を示す回路図であり、(b)は第1の実施形態に係るDRAM中のデータ伝送回路における、シミュレーションの対象となる回路を示す回路図であり、(c)は第1の参考例に係るDRAM中のデータ伝送回路における、シミュレーションの対象となる回路を示す回路図である。

【図14】(a)～(d)は図13(a)～(c)の各回路のシミュレーション条件を示すタイミング図である。

【図15】図13(a)～(c)の各回路の消費電流に係るシミュレーション結果を示す図である。

【図16】図13(a)～(c)の各回路の遅延時間に係るシミュレーション結果を示す図である。

【図17】第2の参考例に係るDRAM中のデータ伝送回路に用いられる増幅回路の構成を示す回路図である。

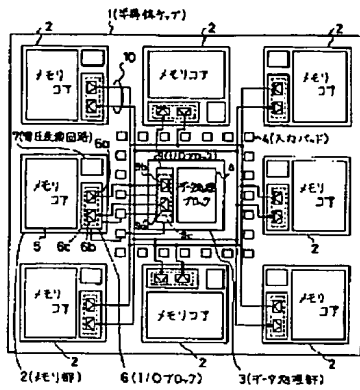
【図18】従来のデータ伝送回路のレシーバー回路の構成を示す回路図である。

#### 【符号の説明】

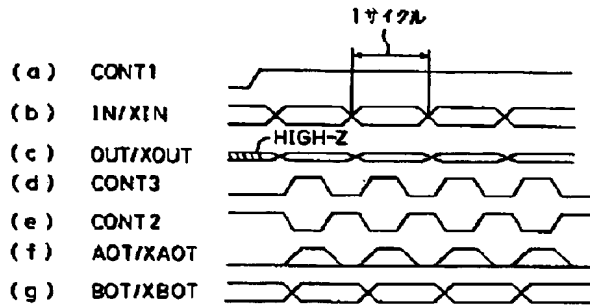
- 1 半導体チップ
- 2 メモリ部
- 3 データ処理部
- 4 入力パッド
- 6a メモリ部のドライバー回路 (第1の回路)
- 6b メモリ部のレシーバー回路
- 7, 7a 電圧変換回路
- 9a データ処理部のドライバー回路
- 9b データ処理部のレシーバー回路
- 10 データバス
- 11, 12 ドライバー回路の差動入力端子
- 14, 15 ドライバー回路の差動出力端子

- 20 データ線対 (信号線対)
- 30, 30a 増幅回路 (第2の回路)
- 31, 32 増幅回路の差動入力端子
- 34, 35 増幅回路の差動出力端子
- 36 増幅部
- 37 電源制御部
- 40 ラッチ回路 (第3の回路)
- 51 標準振幅で動作する回路ブロック (第1の回路ブロック)
- 52 小振幅で動作する回路ブロック (第2の回路ブロック)
- 56 第1の接地線 (主電源配線系の接地線)
- 57 第2の接地線 (副電源配線系の接地線)
- 60 イコライズ回路 (第4の回路)
- 70 電源系結合回路
- 80 電源降圧回路
- 84 基準電位発生回路
- 85 比較回路
- 86 出力回路
- 122 メモリアレイ
- 125 電源電圧パッド (電源電圧端子)
- 125a 第1の電源電圧パッド (第1の電源電圧端子)
- 125b 第2の電源電圧パッド (第2の電源電圧端子)
- 126 接地電圧パッド (接地電圧端子)
- 126a 第1の接地電圧パッド (第1の接地電圧端子)
- 126b 第2の接地電圧パッド (第2の接地電圧端子)
- 127 基準電圧発生回路 (メモリアレイ供給電圧発生回路)
- 129 スイッチ素子 (貫通電流遮断手段)
- CONT1, CONT1a 第1の制御信号
- CONT2 第2の制御信号
- CONT3 第3の制御信号
- EQ イコライズ制御信号
- Qn11 ドライバー回路の第1のNMOSトランジスタ
- Qn12 ドライバー回路の第2のNMOSトランジスタ
- Qn13 ドライバー回路の第3のNMOSトランジスタ
- Qn14 ドライバー回路の第4のNMOSトランジスタ
- Qn71 電源系結合回路の第1のNMOSトランジスタ
- Qn72 電源系結合回路の第2のNMOSトランジスタ
- Qp37 電源制御部の第1のPMOSトランジスタ
- Qp38 電源制御部の第2のPMOSトランジスタ
- VINT 第1の降圧電圧
- VINTL 第2の降圧電圧
- VREF 基準電位

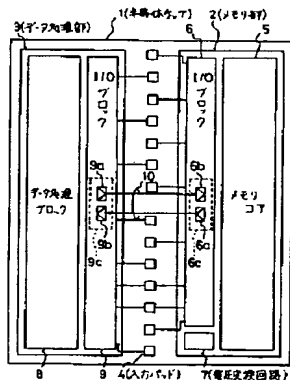
【図1】



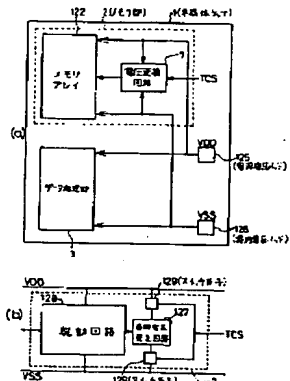
【図7】



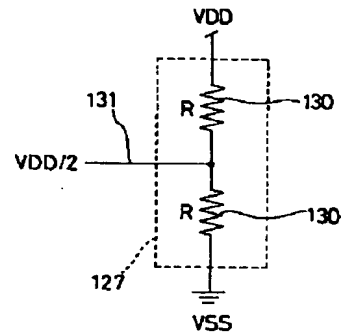
【図2】



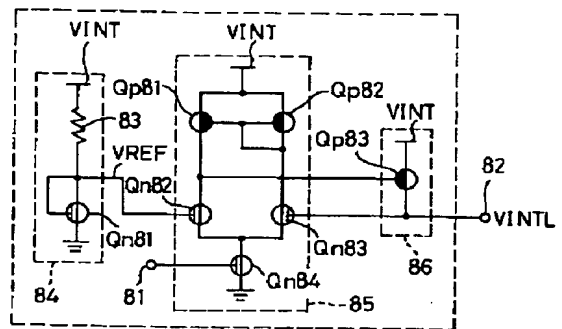
【図3】



【図4】

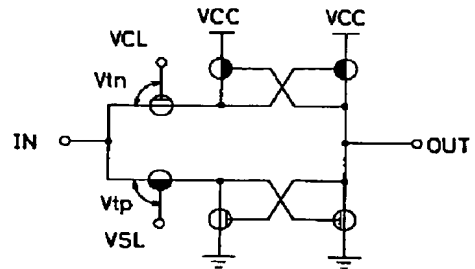


【図10】

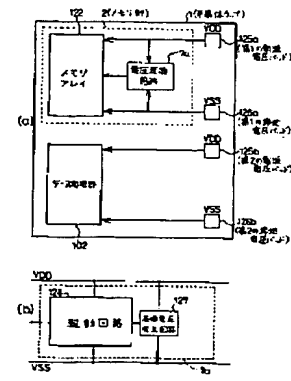


80(電源降圧回路)

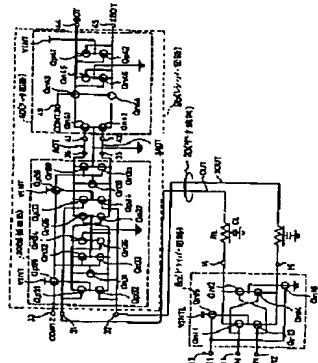
【図18】



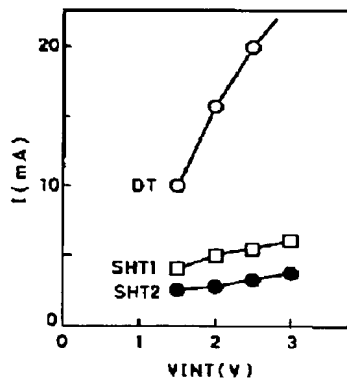
【図5】



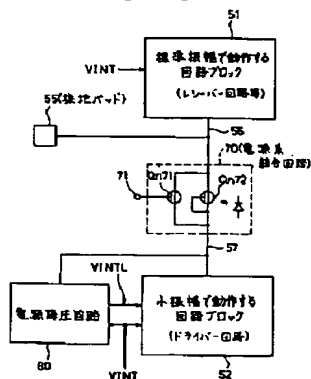
【図6】



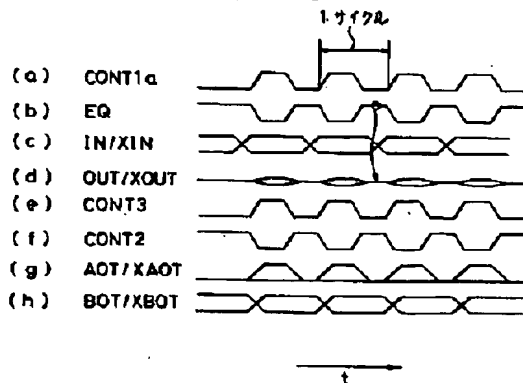
【図15】



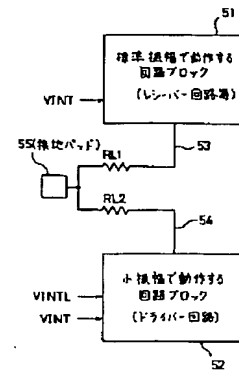
【図9】



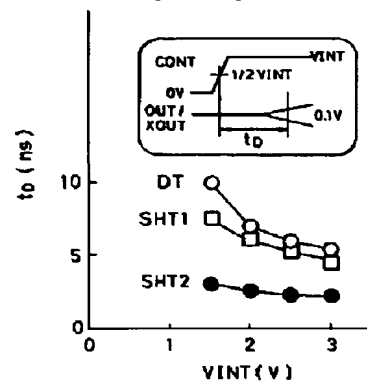
【図12】



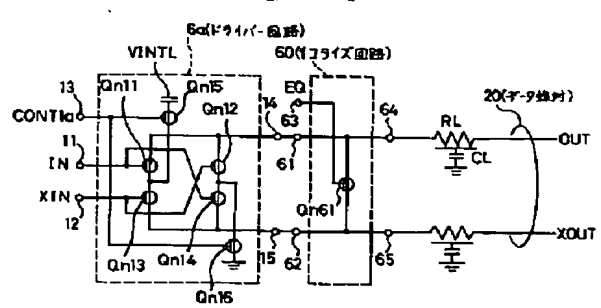
【図8】



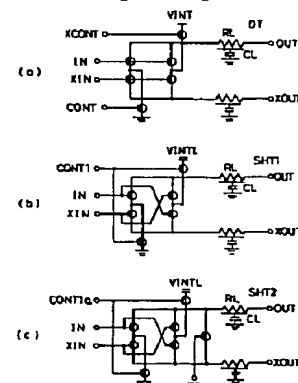
【図16】



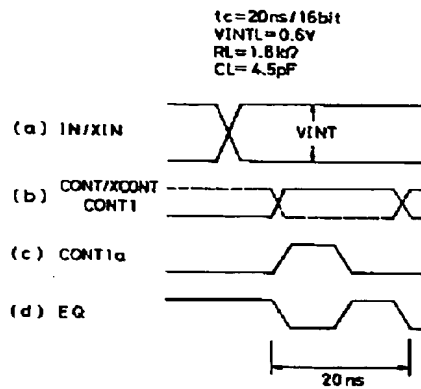
【図11】



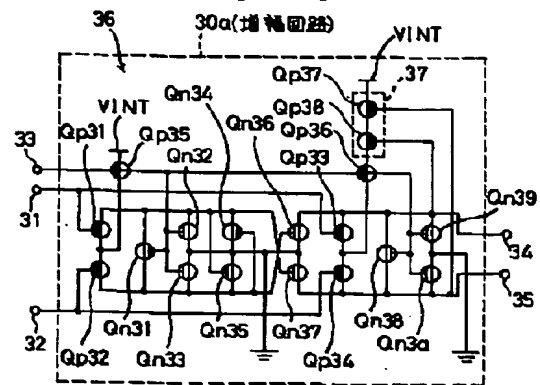
【図13】



【図14】



【図17】



## 【第1ページ書誌事項の続き】

- (62) 分割の表示 特願平6-118193の分割  
 (31) 優先権主張番号 特願平5-258070  
 (32) 優先日 平成5年10月15日(1993.10.15)  
 (33) 優先権主張国 日本(JP)  
 (51) Int. Cl.<sup>7</sup> 識別記号 FI  
 H01L 27/10 471 G11C 11/34 371 A

テーマコード (参考)